

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11204679 A

(43) Date of publication of application: 30 . 07 . 99

(51) Int. Cl. H01L 23/12

(21) Application number: 10002506

(22) Date of filing: 08 . 01 . 98

(71) Applicant: MITSUBISHI ELECTRIC CORP

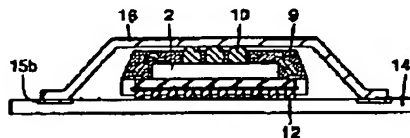
(72) Inventor: NAKAMURA TAKASHI

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which effectively radiates heat generated at a semiconductor chip as well as increases signal electrodes.

**SOLUTION:** A semiconductor chip 2 is die-bonded on a tape 8. A plurality of power electrodes 10 for supplying power are formed on the top surface of the semiconductor chip 2, and a plurality of signal electrodes for sending/ receiving signals are formed on the underside of the semiconductor chip 2. The semiconductor chip 2, the tape 8, and the like are sealed in a package 9. A power supply wiring 16 formed outside the package 9 is connected to the power supply electrodes 10.



COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-204679

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl.  
H01L 23/12

識別記号

F I  
H01L 23/12

E  
L

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21)出願番号 特願平10-2506

(22)出願日 平成10年(1998)1月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 中村 尚

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

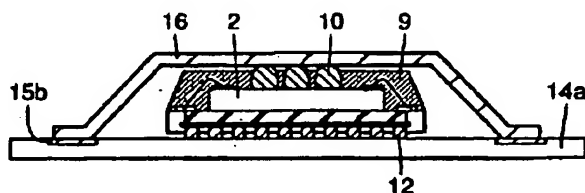
(74)代理人 弁理士 深見 久郎 (外 3 名)

(54)【発明の名称】半導体装置

(57)【要約】

【課題】 半導体チップにて発生する熱が効率的に放熱されるとともに、信号用電極の増加が図られる半導体装置を提供する。

【解決手段】 テープ8上に半導体チップ2がダイボンドされている。半導体チップ2の上面には、電源を供給するための複数の電源用電極10が形成され、下面には、信号をやり取りするための複数の信号用電極12が形成されている。半導体チップ2およびテープ8等は、パッケージ9内に封止されている。パッケージ9の外部に形成された電源配線16が、電源用電極12に接続されている。



2: 半導体チップ  
10: 電源用電極  
12: 信号用電極  
14a: プリント基板  
16: 電源配線

## 【特許請求の範囲】

## 【請求項 1】 半導体チップと、

前記半導体チップを収容するためのパッケージ部材と、  
前記パッケージ部材に配置され、前記半導体チップとそれぞれ電氣的に接続された電源端子部および複数の信号端子部と、

前記電源端子部と電氣的に接続され、前記半導体チップへ電源を供給するための、前記パッケージ部材の外部に設けられた電源配線部とを備え、

前記電源端子部および前記電源配線部は、前記信号端子部が配置されるパッケージ部材の面とは異なる面に配置された、半導体装置。

【請求項 2】 前記電源端子部および前記電源配線部は、前記信号端子部が配置されるパッケージ部材の面と向かい合う面に配置されている、請求項 1 記載の半導体装置。

【請求項 3】 前記パッケージ部材を載置する所定の配線が形成された基板を含み、

前記電源配線部は、前記パッケージ部材を覆うように設けられるとともに、所定の配線と電氣的に接続された、請求項 2 記載の半導体装置。

【請求項 4】 各前記信号端子部とそれぞれ電氣的に接続される所定の配線が形成された第 1 のプリント基板と、

前記電源配線部が形成された第 2 のプリント基板とを含み、

前記半導体チップを収容した前記パッケージ部材が、前記第 1 のプリント基板と前記第 2 のプリント基板との間に配置された、請求項 2 記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に、動作時に発生する熱が効率的に放熱される半導体装置に関するものである。

## 【0002】

【従来の技術】 近年、大容量の情報を処理するために、集積回路（以下「IC」と記す）には、高速動作が益々求められている。このような高速動作に対応するために、所定の信号を入出力させるための、ICに設けられる信号ピンの数が増加している。また、ICの消費電力も増加するため、電源を供給するための電源ピンの数も増加している。

【0003】 一方、半導体チップを封入したパッケージにおいては、高密度な実装を実現するために、より半導体チップの大きさに近いサイズが求められている。

【0004】 まず、第 1 の従来技術として、半導体チップを封止したパッケージを含む半導体装置の一例について図を用いて説明する。図 7 は、ファインピッチ・ボール・グリッド・アレイ（以下「ファインピッチ BGA」と記す。）の構造を示したものである。図 7 を参照し

て、エポキシ系樹脂を含浸させたガラスシート（以下「テープ」と記す。）106 の一方の面上に、粘着層 105 を介在させて半導体チップ 102 がダイボンドされている。テープ 106 の周辺近傍には、複数のパッド電極 107 が形成されている。各パッド電極 107 は金線 104 により半導体チップ 102 の所定の領域と電氣的に接続されている。

【0005】 一方、テープ 106 の他方の面上には、複数のはんだボール 108 が形成されている。各はんだボール 108 は、テープ 106 に形成された所定の配線によってパッド電極 107 と電氣的に接続されている。半導体チップ 102 は、モールド樹脂 110 によって、テープ 106 上に封止されている。

【0006】 ファインピッチ BGA では、電極ピンとしてはのはんだボールがアレイ状に配置できるため、小さなパッケージにより多くのピンを形成するのに有利である。

【0007】 次に、第 2 の従来技術としての半導体装置の他の例について図を用いて説明する。図 8 は、チップ・スケール・パッケージ（以下「CSP」と記す。）の構造を示したものである。図 8 を参照して、半導体チップ 102 の表面には、複数の外部電極 109 が設けられている。各外部電極 109 は、金属配線 111 およびパッド電極 107 を介して、半導体チップ 102 の所定の領域と電氣的に接続されている。半導体チップ 102 は、モールド樹脂 110 により封止されている。

【0008】 CSP では、半導体チップ 102 とほぼ同じ大きさでもって、より多くのピンを形成することが可能である。また、基板上に実装するための面積も比較的小さくてすみ、高密度な実装が可能となる。

【0009】 しかしながら、上述したファインピッチ BGA や CSP では、消費電力が比較的大きく、半導体チップから発生する熱が問題となった。そこで、このような熱を放熱するために種々の対策が採られている。

【0010】 次に、第 3 の従来技術として、このような熱を効果的に放熱させる半導体装置の一例について、特開平 7-50368 号公報に開示された半導体装置について説明する。図 9 は、同公報に開示された半導体装置の一断面を示したものである。図 10 は、キャップ部分を取除いた半導体装置の一平面を示したものである。まず、図 9 を参照して、半導体チップ 120 は、その裏面でパッケージ 125 に固定され、キャップ 123 およびパッケージ 125 によって形成される空間内に封入されている。そして、半導体チップ 120 の上面とキャップ 123 の内面との間には、空隙が形成されている。

【0011】 半導体チップ 120 上の電源は、ピン 129、配線 127、電源用電極 124、はんだ 132、電源用パッド 122 を通して外部回路から供給される。また、外部回路と半導体チップ 120 との間の信号は、ピン 130、配線 128、リード 126、ボンディングワ

イヤ 1 3 1、ボンディングパッド 1 2 1 を通してやり取りされる。特に、半導体チップ 1 2 0 の表面に形成された電源用パッド 1 2 2 は、図 1 0 に示すように、その面積をより大きくすることができる。

【0 0 1 2】この半導体装置によれば、動作時において、半導体チップ 1 2 0 で発生した熱は、半導体チップ 1 2 0 の裏面からパッケージ 1 2 5 に伝導する一方、電源用パッド 1 2 2、はんだ 1 3 2 および電源用電極 1 2 4 を介してキャップ 1 2 3 に伝導する。このようにして、パッケージ 1 2 5 およびキャップ 1 2 3 の両方から放熱を行なうことが可能となり、半導体チップ 1 2 0 で発生する熱を外部へ充分に放熱することができる。

【0 0 1 3】また、電源用電極 1 2 4 や電源用パッド 1 2 2 を設けたことにより、ボンディングパッド 1 2 1 を介しての半導体チップ 1 2 0 への電源供給を減らすことができ、その減った分だけボンディングパッド 1 2 1 を半導体チップ 1 2 0 と外部回路との間の信号用に用いることができる。その結果、ボンディングパッド 1 2 1 の信号用としての個数を、従来に比べて増やすことができる。

【0 0 1 4】

【発明が解決しようとする課題】しかしながら、上述した第 3 の従来の技術の半導体装置では、以下に示すような問題点があった。まず、半導体チップ 1 0 2 への電源供給は、電源用電極 1 2 4 を介して供給される。このため、半導体チップ 1 0 2 に電源用のボンディングパッドを設ける必要がない分、電源以外の信号用のボンディングパッドをより多く設けることができる。ところが、電源は、パッケージ 1 2 5 に設けられたピン 1 2 9 から半導体チップ 1 0 2 へ供給される。このため、パッケージ 1 2 5 の所定の領域に設けられるピン 1 2 9 の総数としては変わりがなく、その領域に新たに信号用ピンを設けるのが困難であった。

【0 0 1 5】また、キャップ 1 2 3 へ伝えられた熱は、キャップ 1 2 3 およびパッケージ 1 2 5 の表面積が大きいほど効率よく外気に放熱されるが、比較的小さいキャップ 1 2 3 およびパッケージ 1 2 5 では、充分に放熱できないことがあった。

【0 0 1 6】本発明は、上記問題点を解決するためになされたものであり、動作時に発生する熱が充分に放熱されるとともに、信号用ピンの増設が図られる半導体装置を提供することを目的とする。

【0 0 1 7】

【課題を解決するための手段】本発明の 1 つの局面における半導体装置は、半導体チップと、パッケージ部材と、電源端子部および複数の信号端子部と、電源配線部とを備えている。パッケージ部材は、半導体チップを収容する。電源端子部および複数の信号端子部は、パッケージ部材に配置され、半導体チップとそれぞれ電気的に接続されている。

【0 0 1 8】電源配線部は、電源端子部と電気的に接続され、パッケージ部材の外部に設けられている。電源端子部および電源配線部は、信号端子部が配置されるパッケージ部材の面とは異なる面に配置されている。

【0 0 1 9】好ましくは、電源端子部および電源配線部は、信号端子部が配置されるパッケージ部材の面と向かい合う面に配置される。好ましくは、パッケージ部材を載置する所定の配線が形成された基板を含み、電源配線部は、パッケージ部材を覆うように設けられるとともに、所定の配線と電気的に接続されている。また好ましくは、各信号端子部とそれぞれ電気的に接続される所定の配線が形成された第 1 のプリント基板と、電源配線部が形成された第 2 のプリント基板とを含み、半導体チップを収容したパッケージ部材が、第 1 のプリント基板と第 2 のプリント基板との間に配置されている。

【0 0 2 0】

【発明の実施の形態】実施の形態 1

本発明の実施の形態 1 に係る半導体装置について、図 1 ~ 4 を用いて説明する。なお、図 2 は、図 1 に示す A - A における断面を示し、図 4 は、図 3 に示す B - B における断面を示す。まず、図 1 および図 2 を参照して、テープ 8 上に半導体チップ 2 がダイボンドされている。半導体チップ 2 の外周近傍の表面には、複数のボンディングパッド 6 が形成されている。また、テープ 8 の外周表面には、複数のパッド電極 7 が設けられている。

【0 0 2 1】各ボンディングパッド 6 とパッド電極 7 とは、ボンディングワイヤ 4 により電気的に接続されている。半導体チップ 2 の表面上には、半導体チップ 2 へ電源を供給するための電源端子部としての複数の電源用電極 1 0 が形成されている。また、テープ 8 の下面には、半導体チップ 2 と信号をやり取りするための信号端子部として複数の信号用電極 1 2 が形成されている。半導体チップ 2 およびテープ 8 等は、モールド樹脂などのパッケージ 9 内に封止されている。

【0 0 2 2】さらに、図 3 および図 4 を参照して、電源用電極 1 2 には、電源配線部としての電源配線 1 6 が接続されている。電源配線 1 6 は、電源 (Vcc) 配線 1 6 a と GND 配線 1 6 b とを含んでいる。各信号用電極 1 2 は、プリント基板 (PCB) 1 4 a の表面に形成された所定の配線 (図示せず) と電気的に接続されている。電源配線 1 6 a と GND 配線 1 6 b とは、プリント基板 1 4 a の表面に形成されたプリント基板上 Vcc 配線 1 5 a とプリント基板上 GND 配線 1 5 b ととそれぞれ電気的に接続されている。

【0 0 2 3】上述した半導体装置によれば、信号用電極 1 2 が配置されるパッケージ 9 の下面には、電源用電極 1 0 が配置されない。これにより、パッケージ 9 の下の限られた領域内に、電源用電極を配置する分、信号用電極を増設することができる。

【0 0 2 4】また、電源用電極 1 0 に接続される電源配

線 16 においては、パッケージ 9 の外部に設けられるため、比較的幅の広い配線を適用することができる。半導体チップ 2 で発生した熱は、ボンディングワイヤ 4 からパッド電極 7 へ伝導するとともに、電源用電極 10 から電源配線 16 へも伝導する。このとき、電源用配線 16 a が放熱フィンとしての働きを有し、熱を効率よく放熱することができる。また、電源配線 16 からプリント基板 14 a へも熱が伝導することによって、さらに効率よく放熱することができる。

【0025】また、半導体装置を高密度に実装するために、パッケージにおいては、半導体チップのサイズにより近いサイズのものが求められる。ところが、パッケージの大きさを小さくすると、パッケージ内を熱が流れるのを防ぐ力の大きさ、すなわち、熱抵抗が大きくなる。特に、超高速の半導体チップを搭載した半導体装置では、発熱量が大きく、パッケージだけでは十分に放熱することができないことがある。このような超高速の半導体チップを搭載した場合であっても、上述した電源配線 16 等によって、半導体チップ 2 で発生した熱を効率よく放熱することができる。

【0026】また、パッケージ 9 を覆うように電源配線 16 を設けることによって、電源配線 16 がシールドの役目を果たし、半導体チップ 2 への電磁干渉を抑制することもできる。

【0027】また、ボンディングワイヤと比べると、比較的口径の大きい電源用電極 10 により半導体チップ 2 へ電源が供給されるので、電気抵抗やインダクタンスを抑えることができ、安定した電圧を半導体チップ 2 へ供給することができる。

【0028】さらに、パッケージにモールド樹脂を適用したり、電源用電極および信号電極にはんだを適用することによって、発生する熱による応力も緩和することができる。

#### 【0029】実施の形態 2

本発明の実施の形態 2 に係る半導体装置について、図 5 を用いて説明する。図 5 を参照して、半導体チップを搭載したパッケージ 9 は、プリント基板 14 b 上に載置されている。各信号用電極 12 は、プリント基板 14 b の表面に形成された所定の配線（図示せず）とそれぞれ電氣的に接続されている。プリント基板 14 c の一方の面には、プリント基板上電源配線 15 が形成されている。そのプリント基板上電源配線 15 は、パッケージ 9 に設けられた電源用電極 10 に電氣的に接続されている。

【0030】この場合には、プリント基板 14 c の表面にて、電源配線 15 の配線領域をより広く確保することができるため、電源用電極 10 から電源用配線 15 に伝導した熱がさらに効率よく放熱される。また、半導体チップ 2 へ電源を安定して供給することができる。

【0031】さらに、プリント基板 14 c の他方の面に、所定のプリント配線を形成することにより、図 6 に

示すように、プリント基板 14 c 上にさらに半導体チップを搭載したパッケージ 9 を載置することができる。

【0032】この場合には、複数のプリント基板 14 b、14 c、14 d を積層することによって、限られた空間内に、半導体装置をより高密度に実装することができる。

【0033】なお、上記実施の形態では、電源用電極 10 は、信号用電極 12 が形成されているパッケージ 9 の下面と向かい合う上面に形成した場合について説明したが、半導体装置の実装の仕方に合わせて、電源用電極を、パッケージの側面等に形成してもよい。このような場合でも、上述した効果を得ることができる。

【0034】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記で説明した範囲ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲でのすべての変更が含まれることが意図される。

#### 【0035】

【発明の効果】本発明の 1 つの局面における半導体装置は、半導体チップと、パッケージ部材と、電源端子部および複数の信号端子部と、電源配線部とを備えている。パッケージ部材は、半導体チップを収容する。電源端子部および複数の信号端子部は、パッケージ部材に配置され、半導体チップとそれぞれ電氣的に接続されている。

【0036】電源配線部は、電源端子部と電氣的に接続され、パッケージ部材の外部に設けられている。電源端子部および電源配線部は、信号端子部が配置されるパッケージ部材の面とは異なる面に配置されている。

【0037】この構成によれば、電源端子部が、信号端子部が配置されるパッケージ部材の面とは異なる面に配置される。このため、両者がパッケージ部材の同じ面に配置される場合と比べると、信号端子部が配置される面には、電源端子部を配置する分、信号端子部を増設することができる。また、電源端子部が配置される面には、信号端子部は配置されないため、電源端子部に接続される電源配線部の配線幅をより大きく設定することができる。これにより、電源配線部の表面積を増大させることができ、その結果、半導体チップから電源端子部を介して電源配線部へ伝導した熱が効率よく外気に放熱される。

【0038】好ましくは、電源端子部および電源配線部は、信号端子部が配置されるパッケージ部材の面と向かい合う面に配置される。

【0039】この場合には、電源配線部の配線幅をさらに大きく設定することができる。その結果、半導体装置の放熱がさらに効率よく行なわれる。

【0040】好ましくは、パッケージ部材を載置する所定の配線が形成された基板を含み、電源配線部は、パッケージ部材を覆うように設けられるとともに、所定の配

10

20

30

40

50

線と電氣的に接続されている。

【0041】この場合には、発生した熱が電源配線部からプリント基板へ伝導する。これにより、さらに熱を効率よく放熱することができる。また、パッケージ部材を覆うように設けられた電源配線部により、半導体チップへの電磁干渉を抑制することができる。

【0042】また好ましくは、各信号端子部とそれぞれ電氣的に接続される所定の配線が形成された第1のプリント基板と、電源配線部が形成された第2のプリント基板とを含み、半導体チップを収容したパッケージ部材が、第1のプリント基板と第2のプリント基板との間に配置されている。

【0043】この場合には、限られた空間内に、半導体装置のより密度の高い実装を行なうことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置のパッケージ内の一平面を示す図である。

【図2】 図1に示すA-Aにおける断面を示す図である。

【図3】 同実施の形態における、半導体装置の一平面を示す図である。

【図4】 図3に示すB-Bにおける断面を示す図である。

【図5】 本発明の実施の形態2に係る半導体装置の一側面を示す図である。

【図6】 同実施の形態において、半導体装置の変形例の一側面を示す図である。

【図7】 第1の従来技術における半導体装置の部分断面を示す斜視図である。

【図8】 第2の従来技術における半導体装置の部分断面を示す斜視図である。

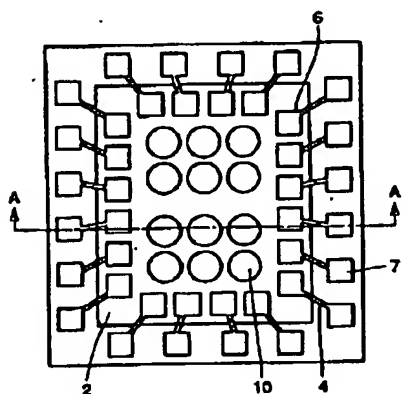
【図9】 第3の従来技術における半導体装置の一断面を示す図である。

【図10】 図9に示す半導体装置の一平面を示す図である。

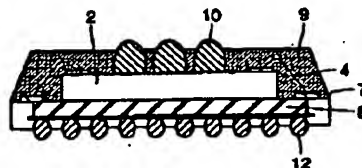
【符号の説明】

2 半導体チップ、4 ボンディングワイヤ、6 ボンディングパッド、7 パッド電極、8 テープ、9 パッケージ、10 電源用电極、12 信号用电極、14 a、14 b、14 c、14 d プリント基板、15 プリント基板上電源配線、16 電源配線。

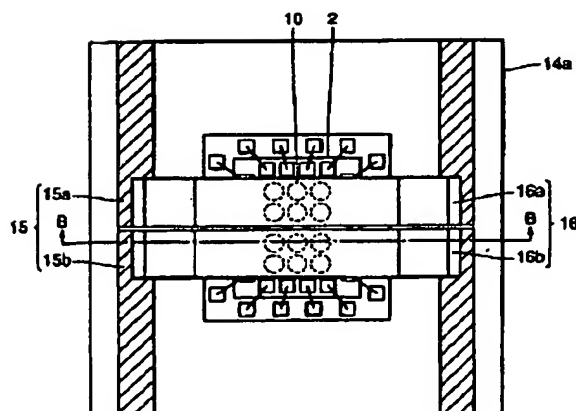
【図1】



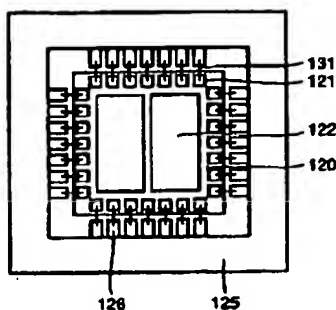
【図2】



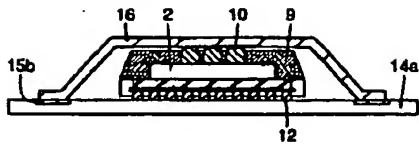
【図3】



【図10】

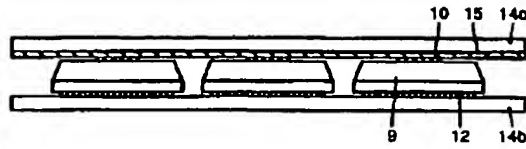


【図 4】

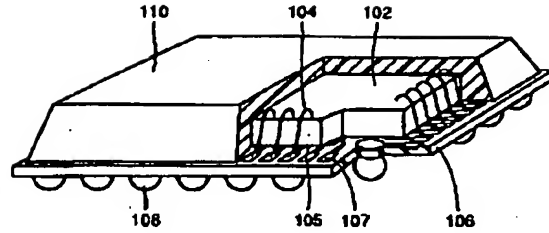


2: 半導体チップ  
10: 電源用電極  
12: 信号用電極  
14a: プリント基板  
16: 電源配線

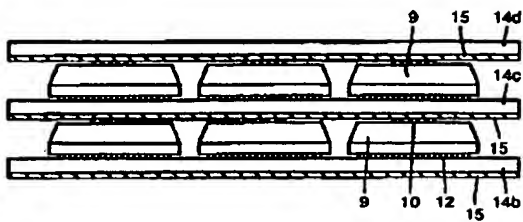
【図 5】



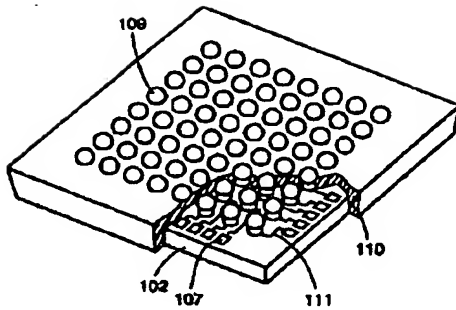
【図 7】



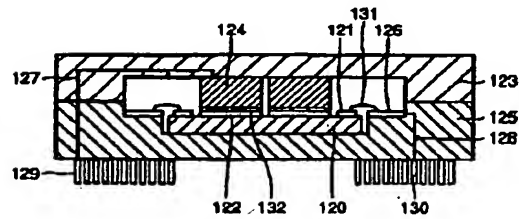
【図 6】



【図 8】



【図 9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**